

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

JPA 07-046486

(11) Publication number: 07046486 A

(43) Date of publication of application: 14.02.95

(51) Int. Cl

H04N 5/335
H01L 27/148

(21) Application number: 05208421

(71) Applicant: SONY CORP

(22) Date of filing: 31.07.93

(72) Inventor: SUZUKI HIROMI

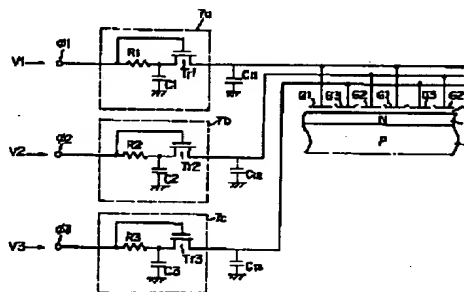
(54) CHARGE TRANSFER DEVICE

COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To improve the transfer efficiency of charge and to attain high speed transfer drive while reduction in a maximum processing charge quantity by suppressing the decrease in a rising speed of a drive pulse.

CONSTITUTION: Transfer stages each having three transfer electrodes G1, G2, G3 as one set are arranged multiply on a channel region 2 formed on a silicon substrate 1, and drive pulses V1, V2, V3 whose phases differ are applied to the transfer electrodes G1, G2, G3 of each transfer stage. Thus, a signal charge in the channel region 2 is transferred sequentially to an output section. First, second and third variable conductance circuits 7a, 7b, 7c whose conductance (g) is variable with rising and trailing of the drive pulses V1, V2, V3 are connected to pre-stages of the transfer electrodes G1, G2, G3. Each variable conductance circuit is formed by connecting a CR integration circuit comprising a resistor and a capacitor and a MOS transistor (TR) whose gate electrode receives a pre-stage voltage of the CR integration circuit in series with each other.



THIS PAGE IS BLANK

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-46486

(43) 公開日 平成7年(1995)2月14日

(51) Int. Cl. ⁶

H04N 5/335

H01L 27/148

識別記号

F

庁内整理番号

7210-4M

F I

H01L 27/14

技術表示箇所

B

審査請求 未請求 請求項の数 3 F D (全 8 頁)

(21) 出願番号 特願平5-208421

(22) 出願日 平成5年(1993)7月31日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 鈴木 裕巳

東京都品川区北品川6丁目7番35号 ソニー株式会社内

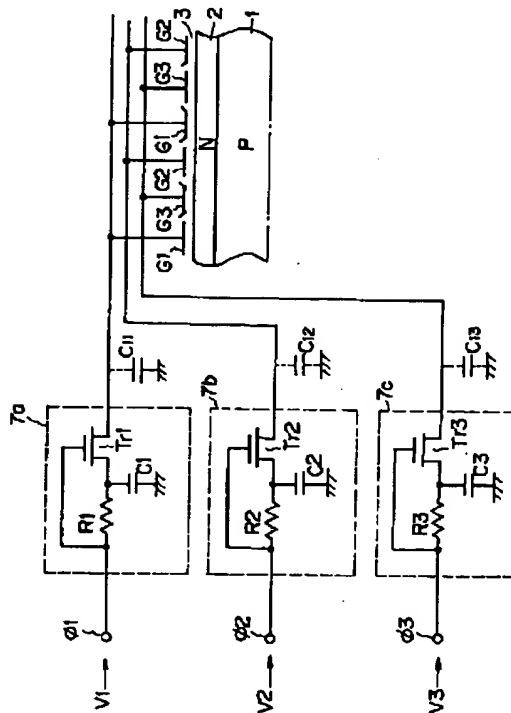
(74) 代理人 弁理士 小池 晃 (外2名)

(54) 【発明の名称】 電荷転送装置

(57) 【要約】

【目的】 駆動パルスの立ち上がりスピードの低下を抑制して、最大取扱電荷量の低下を抑えつつ、電荷転送の転送効率の改善及び高速転送駆動を達成させる。

【構成】 シリコン基板1に形成されたチャネル領域2上に、3つの転送電極G1、G2及びG3を1組とする転送段が多段に配列され、各転送段の各転送電極G1、G2及びG3にそれぞれ位相の異なる駆動パルスV1、V2及びV3を印加することにより、チャネル領域2内の信号電荷を出力部側に順次転送する電荷転送装置において、各転送電極G1、G2及びG3の前段に駆動パルスV1、V2及びV3の立ち上がり立ち下がりコンダクタンスgを可変とする第1、第2及び第3の可変コンダクタンス回路7a、7b及び7cを接続して構成する。各可変コンダクタンス回路は、抵抗とコンデンサによるCR積分回路と、CR積分回路の前段電圧がゲート電極に印加されるMOSトランジスタとを直列接続して構成する。



【特許請求の範囲】

【請求項 1】 基体に形成された電荷転送領域上に、所定枚数の転送電極を 1 組とする転送段が多段に配列され、各転送段の各転送電極にそれぞれ位相の異なる駆動パルスを印加することにより、上記電荷転送領域内の信号電荷を出力部側に順次転送する電荷転送装置において、

上記各転送電極の前段に上記駆動パルスの立ち上がりとし、立ち下がりコンダクタンスを可変とする可変コンダクタンス回路が接続されていることを特徴とする電荷転送装置。

【請求項 2】 上記可変コンダクタンス回路は、CR 積分回路と、該 CR 積分回路の前段電圧がゲート電極に印加される MIS 形トランジスタとが直列に接続されて構成されていることを特徴とする請求項 1 記載の電荷転送装置。

【請求項 3】 上記可変コンダクタンス回路は、負荷と、該負荷の前段電圧がゲート電極に印加される MIS 形トランジスタとが直列に接続されて構成されていることを特徴とする請求項 1 記載の電荷転送装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電荷転送部分が CCD で構成された電荷転送装置に関し、特に CCD イメージセンサや CCD リニアセンサ等に用いて好適なものである。

【0002】

【従来の技術】 電荷転送部が CCD で構成されたものとして、CCD イメージセンサ、CCD リニアセンサ及び CCD 遅延線等が上げられる。

【0003】 その中で、例えば 3 相クロック駆動方式の埋め込みチャネル型 CCD (Buried channel type CCD) による電荷転送装置は、図 5 に示すように、例えば P 型のシリコン基板 2 1 の表面に N 形の埋め込みチャネル型不純物拡散領域 (以下、単にチャネル領域と記す) 2 2 が形成され、このチャネル領域 2 2 上に SiO₂ 等からなる絶縁膜 2 3 を介して 1 層目及び 2 層目の多結晶シリコン層による転送電極 2 4 及び 2 5 が形成されて構成されている。

【0004】 これらの転送電極 2 4 及び 2 5 は、全面に 1 層目の多結晶シリコン層を形成した後、所定の形状にパターニングして一方の転送電極 2 4 を形成し、その後、この転送電極 2 4 を熱酸化してその表面に熱酸化膜 2 6 を形成した後、全面に 2 層目の多結晶シリコン層を形成し、その後、所定の形状にパターニングして他方の転送電極 2 5 を形成することにより作製される。このとき、マスクの合わせ精度を見込んで、2 層目の多結晶シリコン層による他方の転送電極 2 5 は、1 層目の多結晶シリコン層による一方の転送電極 2 4 の端部に一部平面的にオーバーラップするように形成される。

【0005】 また、この従来例に係る電荷転送装置は、3 相の駆動パルスが印加されて電荷を転送することから、隣接する 3 つの転送電極 G 1、G 2 及び G 3 を 1 組とし、各組の転送電極群が横方向に順次配列されて構成される。そして、第 1、第 2 及び第 3 の転送電極 G 1、G 2 及び G 3 の各入力端子 $\phi 1$ 、 $\phi 2$ 及び $\phi 3$ に、図 8 に示すように、それぞれ位相の異なる 3 相の駆動パルス (第 1、第 2 及び第 3 の駆動パルス V 1、V 2 及び V 3) を印加することにより、図 9 に示すように、信号電荷 e をチャネル領域 2 2 に沿って一方向に転送する。

【0006】 即ち、図 8 のタイミングチャートと図 9 の電荷の動作概念図において、時間 t 1 のとき、即ち入力端子 $\phi 1$ を介して入力された第 1 の駆動パルス V 1 が印加されている第 1 の転送電極 G 1 の下に蓄積されている信号電荷 e は、時間 t 5 のときには、入力端子 $\phi 2$ を介して入力された第 2 の駆動パルス V 2 が印加されている第 2 の転送電極 G 2 のところまで転送されることになる。

【0007】

【発明が解決しようとする課題】 しかしながら、従来の電荷転送装置においては、まず、図 7 の等価回路図に示すように、第 1、第 2 及び第 3 の転送電極 G 1、G 2 及び G 3 には、それぞれ接地間に形成される寄生容量 (対接地容量) C₁₁、C₁₂ 及び C₁₃ と配線抵抗 R₁₁、R₁₂ 及び R₁₃ が寄生的に付加され、また、各転送電極 G 1、G 2 及び G 3 間において層間容量 C₁₄、C₁₅ 及び C₁₆ が寄生的に付加されたかたちとなっている。

【0008】 また、図 5 に示すように、2 層目の多結晶シリコン層による他方の転送電極 2 5 におけるオーバーラップ部分は、1 層目の多結晶シリコン層による一方の転送電極 2 4 上において熱酸化膜 2 6 を介して形成されることから、上記オーバーラップ部分の下層に存在する熱酸化膜 2 6 及び絶縁膜 2 3 の積層膜が、そのオーバーラップ部分 (他方の転送電極 2 5) におけるゲート絶縁膜 2 3 を構成することになる。

【0009】 即ち、オーバーラップ部分においては、その下層の熱酸化膜 2 6 もゲート絶縁膜 2 3 の一部となるため、その厚さ d₁ が他の部分のゲート酸化膜 2 3 の厚さ d₂、d₃ に比べ厚くなる。通常、埋め込みチャネル型の場合、ゲート絶縁膜 2 3 の厚さが厚いと静電ポテンシャルは深くなるため、図 6 に示すように、一方の転送電極 2 4 及び他方の転送電極 2 5 に印加される電圧のレベルが近い場合、1 層目の多結晶シリコン層と 2 層目の多結晶シリコン層との間、即ち一方の転送電極 2 4 及び他方の転送電極 2 5 間には、破線で囲むようなポテンシャルのディップ 3 1 が発生することになる。

【0010】 このようなことから、電荷転送段階において、図 9 に示すように、隣合う転送電極の電圧が近い場合には、図 5 で示すゲート絶縁膜 2 3 の厚みの違いからチャネル領域 2 2 の静電ポテンシャルにポテンシャルデ

イップ 3 1 a, 3 1 b 及び 3 1 c が発生する。

【0011】そして、上記ポテンシャルディップ 3 1 a, 3 1 b 及び 3 1 c は、以下に示すように電荷転送効率の劣化を引き起こすという問題がある。即ち、図 9 において、時間が t_3 から t_5 まで変化すると、第 1 の転送電極 G 1 の電圧が下がるに従って、第 1 の転送電極 G 1 の下の信号電荷 e は第 2 の転送電極 G 2 下へ移動するが、この信号電荷 e の移動に比べて、第 1 の転送電極 G 1 の電圧降下が早いと第 1 の転送電極 G 1 下に信号電荷 e が残っている状態でポテンシャルディップ 3 1 c が発生するため、このディップ 3 1 c に信号電荷 e が捕獲され、転送劣化が生じる。

【0012】これを改善する方法として、従来では、各転送電極 G 1, G 2 及び G 3 とそれぞれ対応する入力端子 ϕ_1 , ϕ_2 及び ϕ_3 の間に抵抗体を挿入形成することにより、図 7 の等価回路図で示した配線抵抗 R_{11} , R_{12} 及び R_{13} の値を大きくし、各駆動パルス V 1, V 2 及び V 3 に対する CR 時定数を大きくすることで実効的な各駆動パルス V 1, V 2 及び V 3 の立ち下がりスピードを下げて転送劣化を防ぐことが考えられてきた。

【0013】ここで、各転送電極 G 1, G 2 及び G 3 とそれぞれ対応する入力端子 ϕ_1 , ϕ_2 及び ϕ_3 間に抵抗体を挿入して、各駆動パルス V 1, V 2 及び V 3 に対する CR 時定数を大きくすることによって、図 10 において一点鎖線で示すように、実効的な駆動パルス V 1, V 2 及び V 3 (図示の例では第 1 の駆動パルス V 1 のみを示す) の立ち下がりスピードを下げると、これと同時に図 10 において破線で示すように立ち上がりスピードも低下することになる。

【0014】第 1 及び第 2 の駆動パルス V 1 及び V 2 のタイミングでみると、図 10 に破線で示すように、正規の第 2 の駆動パルス V 2 (実線で示す) の立ち上がり時刻が t_6 であるとする、上記のように CR 時定数を大きくした場合、その駆動パルス V 2 が高レベルに達するまでの立ち上がり時間が遅延し、次の第 1 の駆動パルス V 1 の立ち下がり時刻 t_7 まで遅くなる場合が生じる。

【0015】この場合、図 7 に示した等価回路の層間容量 C_{11} を介してのカップリングと相俟って、第 2 の駆動パルス V 2 の実効振幅 V_2 が低下し、最大取扱信号電荷量が減少するという問題が生じる。これは、転送される信号電荷の最大取扱電荷量が駆動パルス V 1, V 2 及び V 3 の最低の実効電圧にて制限されるからであり、この最大取扱電荷量の低下は、電荷転送装置を例えばイメージセンサにおける信号電荷の電荷転送段に使用した場合、受光感度及び再生画像の画質の劣化につながり、また、この電荷転送装置を CCD 遅延線に使用した場合、遅延信号の S/N の低下を引き起こすという問題がある。

【0016】また、最大取扱信号電荷量が減少しないように、第 2 の駆動パルス V 2 の立ち上がり時刻 (t_6)

と第 1 の駆動パルス V 1 の立ち下がり時刻 (t_7) 間の時間を長くとも考えられるが、この場合、転送速度が著しく低下するという新たな問題が生じる。

【0017】本発明は、上記課題に鑑みて成されたものであり、その目的とするところは、駆動パルスの立ち上がりスピードの低下を抑制することができ、最大取扱電荷量の低下を抑えつつ、電荷転送の転送効率の改善及び高速転送駆動を達成させることができる電荷転送装置を提供することにある。

【0018】

【課題を解決するための手段】本発明は、基体 1 に形成された電荷転送領域 2 上に、所定枚数の転送電極 G 1, G 2 及び G 3 を 1 組とする転送段が多段に配列され、各転送段の各転送電極 G 1, G 2 及び G 3 にそれぞれ位相の異なる駆動パルス V 1, V 2 及び V 3 を印加することにより、電荷転送領域 2 内の信号電荷を出力部側に順次転送する電荷転送装置において、各転送電極 G 1, G 2 及び G 3 の前段に駆動パルス V 1, V 2 及び V 3 の立ち上がり立ち下がりコンダクタンス g を可変とする可変コンダクタンス回路 7 a, 7 b 及び 7 c を接続して構成する。

【0019】この場合、可変コンダクタンス回路 (7 a, 7 b 及び 7 c) を、CR 積分回路と、CR 積分回路の前段電圧がゲート電極に印加される M I S 形トランジスタ ($T r_1$, $T r_2$ 及び $T r_3$) とを直列に接続して構成するようにしてもよい。

【0020】また、可変コンダクタンス回路を、負荷 (R_1 , R_2 及び R_3) と、負荷 (R_1 , R_2 及び R_3) の前段電圧がゲート電極に印加される M I S 形トランジスタ ($T r_1$, $T r_2$ 及び $T r_3$) とを直列に接続して構成するようにしてもよい。

【0021】

【作用】本発明に係る電荷転送装置においては、各転送電極 G 1, G 2 及び G 3 にそれぞれ位相の異なる駆動パルス V 1, V 2 及び V 3 が印加されることにより、電荷転送領域 2 内の信号電荷が出力部側に順次転送されることになる。

【0022】各駆動パルス V 1, V 2 及び V 3 は、それぞれ転送電極 G 1, G 2 及び G 3 に至るまでの経路において、可変コンダクタンス回路 7 a, 7 b 及び 7 c によって、その立ち上がりタイミングと立ち下がりタイミングが可変とされる。具体的に、可変コンダクタンス回路 (7 a, 7 b 及び 7 c) を CR 積分回路と M I S 形トランジスタ ($T r_1$, $T r_2$ 及び $T r_3$) とを直列に接続して構成した場合においては、駆動パルス V 1, V 2 及び V 3 の電圧変化が CR 積分回路によって時間的に遅れた変化となり、駆動パルス V 1, V 2 及び V 3 の立ち上がり時において、ゲート電極に印加される電圧がソースに印加される電圧よりも高くなる。

【0023】このとき、M I S 形トランジスタ ($T r$

1, Tr_2 及び Tr_3) のコンダクタンス g は、上記ゲート電極に印加される電圧がソースに印加される電圧よりも高い期間において高くなり、寄生的に付加される配線抵抗が等価的に小さくなるかたちとなる。その結果、各転送電極 G_1 , G_2 及び G_3 の対接地容量 C_{i1} , C_{i2} 及び C_{i3} との CR 時定数が小さくなり、実効的に駆動パルス V_1 , V_2 及び V_3 の立ち上がりスピードの低下を抑えることが可能となる。

【0024】なお、駆動パルス V_1 , V_2 及び V_3 の立ち下がり時においては、ゲート電極に印加される電圧がソースに印加される電圧よりも低くなることから、 MIS 形トランジスタ (Tr_1 , Tr_2 及び Tr_3) のコンダクタンス g は、ゲート電極に印加される電圧がソースに印加される電圧よりも低い期間において低くなり、寄生的に付加される配線抵抗が等価的に大きくなるかたちとなる。その結果、各転送電極 G_1 , G_2 及び G_3 の対接地容量 C_{i1} , C_{i2} 及び C_{i3} との CR 時定数が大きくなり、実効的に駆動パルス V_1 , V_2 及び V_3 の立ち下がりスピードは低下する。

【0025】また、可変コンダクタンス回路 (7a, 7b 及び 7c) を負荷 (R_1 , R_2 及び R_3) と MIS 形トランジスタ (Tr_1 , Tr_2 及び Tr_3) とを直列に接続して構成した場合においては、駆動パルス V_1 , V_2 及び V_3 の電圧変化が負荷 (R_1 , R_2 及び R_3) と各転送電極 G_1 , G_2 及び G_3 の対接地容量 C_{i1} , C_{i2} 及び C_{i3} にて構成される擬似的な CR 積分回路によって時間的に遅れた変化となり、駆動パルス V_1 , V_2 及び V_3 の立ち上がり時において、ゲート電極に印加される電圧がソースに印加される電圧よりも高くなる。

【0026】このとき、 MIS 形トランジスタ (Tr_1 , Tr_2 及び Tr_3) のコンダクタンス g は、上記ゲート電極に印加される電圧がソースに印加される電圧よりも高い期間において高くなり、寄生的に付加される配線抵抗が等価的に低くなるかたちとなる。その結果、各転送電極 G_1 , G_2 及び G_3 の対接地容量 C_{i1} , C_{i2} 及び C_{i3} との CR 時定数が小さくなり、実効的に駆動パルス V_1 , V_2 及び V_3 の立ち上がりスピードの低下を抑えることが可能となる。

【0027】なお、この場合も駆動パルス V_1 , V_2 及び V_3 の立ち下がり時においては、ゲート電極に印加される電圧がソースに印加される電圧よりも低くなることから、各転送電極 G_1 , G_2 及び G_3 の対接地容量 C_{i1} , C_{i2} 及び C_{i3} との CR 時定数が大きくなり、実効的に駆動パルス V_1 , V_2 及び V_3 の立ち下がりスピードは低下する。

【0028】

【実施例】以下、本発明に係る電荷転送装置を 3 相クロック駆動方式の埋め込みチャネル型 CCD (Buried channel type CCD) による電荷転送装置に適用した実施例 (以下、単に実施例に係る電荷転送装置と記す) を図 1

～図 4 を参照しながら説明する。

【0029】この実施例に係る電荷転送装置は、図 1 に示すように、例えば P 型のシリコン基板 1 に N 型の埋め込みチャネル型不純物拡散領域 (以下、単にチャネル領域と記す) 2 が形成され、このチャネル領域 2 上に SiO_2 等からなる絶縁膜 3 を介して 1 層目及び 2 層目の多結晶シリコン層による転送電極 (図 2 参照) 4 及び 5 が形成されて構成されている。

【0030】これらの転送電極 4 及び 5 は、図 2 に示すように、全面に 1 層目の多結晶シリコン層を形成した後、所定の形状にパターニングして一方の転送電極 4 を形成し、その後、この転送電極 4 を熱酸化してその表面に熱酸化膜 6 を形成した後、全面に 2 層目の多結晶シリコン層を形成し、その後、所定の形状にパターニングして他方の転送電極 5 を形成することにより作製される。このとき、マスクの合わせ精度を見込んで、2 層目の多結晶シリコン層による他方の転送電極 5 は、1 層目の多結晶シリコン層による一方の転送電極 4 の端部に一部平面的にオーバーラップするように形成される。

【0031】また、この実施例に係る電荷転送装置は、3 相の駆動パルス V_1 , V_2 及び V_3 が印加されて信号電荷を転送することから、隣接する 3 つの転送電極を 1 組とし、各組の転送電極群が横方向に順次配列されて構成される。具体的には、図 2 に示すように、1 つの組においては、ある 2 層目の多結晶シリコン層による他方の転送電極 5 が第 1 の転送電極 G_1 、この第 1 の転送電極 5 (G_1) に対して一方向に隣接する 1 層目の多結晶シリコン層による一方の転送電極 4 が第 2 の転送電極 G_2 、そしてこの第 2 の転送電極 4 (G_2) に対して一方向に隣接する 2 層目の多結晶シリコン層による他方の転送電極 5 が第 3 の転送電極 G_3 として割り付けられ、また、この組に隣接する組では、1 層目の多結晶シリコン層による一方の転送電極 4 が第 1 の転送電極 G_1 、この第 1 の転送電極 4 (G_1) に対して一方向に隣接する 2 層目の多結晶シリコン層による他方の転送電極 5 が第 2 の転送電極 G_2 、そしてこの第 2 の転送電極 5 (G_2) に対して一方向に隣接する 1 層目の多結晶シリコン層による一方の転送電極 4 が第 3 の転送電極 G_3 として割り付けられ、これら 2 組の組み合わせに係る第 1～第 3 の転送電極 {5 (G_1), 4 (G_2), 5 (G_3)} 及び {4 (G_1), 5 (G_2), 4 (G_3)} が一方向に配列されて電荷転送に寄与する転送電極群が構成される。

【0032】そして、第 1, 第 2 及び第 3 の転送電極 G_1 , G_2 及び G_3 の各入力端子 ϕ_1 , ϕ_2 及び ϕ_3 に、それぞれ位相の異なる 3 相の駆動パルス (第 1, 第 2 及び第 3 の駆動パルス V_1 , V_2 及び V_3 : 図 8 参照) を印加することにより、信号電荷をチャネル領域 2 に沿って一方向に転送する。

【0033】そして、本実施例に係る電荷転送装置においては、各転送電極 G_1 , G_2 及び G_3 の前段にそれぞ

れ駆動パルスV1、V2及びV3の立ち上がり立ち下がりコンダクタンスを可変とする第1、第2及び第3の可変コンダクタンス回路7a、7b及び7cを接続して構成される。

【0034】第1の可変コンダクタンス回路7aは、抵抗R1とコンデンサC1からなるCR積分回路とNチャネルディプレッション型MOSトランジスタ（以下、単にMOSトランジスタと記す）Tr1とを直列に接続し、更にCR積分回路の前段電圧がMOSトランジスタTr1のゲート電極に印加されるように配線接続されて構成されている。

【0035】同様に第2の可変コンダクタンス回路7bは、抵抗R2とコンデンサC2からなるCR積分回路とMOSトランジスタTr2とを直列に接続し、更にCR積分回路の前段電圧がMOSトランジスタTr2のゲート電極に印加されるように配線接続されて構成され、第3の可変コンダクタンス回路7cは、抵抗R3とコンデンサC3からなるCR積分回路とMOSトランジスタTr3とを直列に接続し、更にCR積分回路の前段電圧がMOSトランジスタTr3のゲート電極に印加されるよ

うに配線接続されて構成されている。

【0036】従って、本実施例においては、各入力端子φ1、φ2及びφ3に供給された第1、第2及び第3の駆動パルスV1、V2及びV3が、それぞれ対応する可変コンダクタンス回路7a、7b及び7cを介して各転送電極G1、G2及びG3に印加されることになり、これら駆動パルスV1、V2及びV3の各転送電極G1、G2及びG3への印加によって、信号電荷をチャネル領域2に沿って図示しない出力部側に順次転送する。

【0037】ここで、第1の可変コンダクタンス回路を主体にしてその信号処理動作を説明すると、仮にMOSトランジスタTr1がリニア領域で動作しているとした場合、このMOS型トランジスタTr1のゲート電圧Vg、ソース電圧Vs、ドレイン電圧Vd、しきい値Vth、ゲート容量C、ゲート幅W、ゲート長L、電子移動度μとしたとき、MOSトランジスタTr1に流れる電流Idは、以下の(1)式で表される。

【0038】

【数1】

$$I_d = \frac{C \mu W}{L} \left\{ (V_g - V_s - V_{th} - \frac{1}{2} V_d) V_d \right. \\ \left. \dots (1) \right.$$

【0039】また、第1の可変コンダクタンス回路7aのチャネルコンダクタンスgは、以下の(2)式で表される。

【0040】

【数2】

$$g = \frac{d I_d}{d V_d} = \frac{C \mu W}{L} \{ (V_g - V_s - V_{th}) - V_d \} \\ \approx \frac{C \mu W}{L} (V_g - V_s - V_{th}) \\ \dots (2)$$

【0041】即ち、上記チャネルコンダクタンスgは、ドレイン電圧Vdが低い領域において、(Vg-Vs)に比例して変化することになる。

【0042】そして、いま、例えば入力端子φ1に第1の駆動パルスV1が印加されると、第1の可変コンダクタンス回路7aの抵抗R1とコンデンサC1で構成されるCR積分回路によりMOSトランジスタTr1のソース電圧Vsは、図3Aに示すように、入力端子φ1から入力される第1の駆動パルスV1のパルス電圧（ゲート電圧Vg）に対し、時間的に遅れた変化となり、MOSトランジスタTr1のドレインとソース間のチャネルコンダクタンスgは、上記(2)式により、明らかなように、図3Bに示すように駆動パルスV1の立ち上がり時

はコンダクタンスgが高くなり、反対に駆動パルスV1の立ち下がり時は、コンダクタンスgが小さくなる。

40 【0043】即ち、寄生的に付加される配線抵抗が等価的に小さくなるかたちとなり、その結果、図3Cに示すように、第1の転送電極G1の対接地容量C11とのCR時定数が小さくなり、実効的に第1の転送電極G1に印加される第1の駆動パルスV1の立ち上がりスピードはそれほど低下しないで、立ち下がりスピードのみ低下することになる。

【0044】このことは、他の駆動パルス、即ち入力端子φ2及びφ3から入力され、それぞれ第2及び第3の可変コンダクタンス回路7b及び7cを通して第2及び第3の転送電極G2及びG3に印加される第2及び第3

の駆動パルス V_2 及び V_3 においても同様である。

【0045】このように、本実施例に係る電荷転送装置においては、各転送電極 G_1 、 G_2 及び G_3 の前段に駆動パルス V_1 、 V_2 及び V_3 の立ち上がりとし、かつそれぞれ抵抗 (R_1 、 R_2 及び R_3) とコンデンサ (C_1 、 C_2 及び C_3) とからなる CR 積分回路と MOS トランジスタ (Tr_1 、 Tr_2 及び Tr_3) とで構成される第1、第2及び第3の可変コンダクタンス回路 (7a、7b、7c) を接続するようにしたので、駆動パルス V_1 、 V_2 及び V_3 の立ち上がり速度を低下させることなく、立ち下がり速度のみが下がることになる。

【0046】このことから、チャネル領域2内を転送する信号電荷の最大転送電荷量 (ハンドリングチャージ) の低下を抑えたままで信号電荷の残りを減少させることができ、これにより、転送効率の向上を図ることができ、しかも立ち上がり速度の低下が少ないため、高転送効率を維持しつつ転送速度の高速化を達成させることができる。

【0047】次に、上記実施例に係る電荷転送装置の変形例を図4に基づいて説明する。なお、図1と対応するものについては同符号を記す。

【0048】この変形例に係る電荷転送装置は、図4に示すように、上記実施例に係る電荷転送装置とほぼ同じ構成を有するが、第1の可変コンダクタンス回路7aが、抵抗 R_1 と MOS トランジスタ Tr_1 とが直列に接続されて構成され、第2の可変コンダクタンス回路7bが、抵抗 R_2 と MOS トランジスタ Tr_2 とが直列に接続されて構成され、第3の可変コンダクタンス回路7cが、抵抗 R_3 と MOS トランジスタ Tr_3 とが直列に接続されて構成されている点で異なる。

【0049】この場合、例えば第1の駆動パルス V_1 の電圧変化が、抵抗 R_1 と第1の転送電極 G_1 の対接地容量 C_{i1} にて構成される擬似的な CR 積分回路によって時間的に遅れた変化となり、第1の駆動パルス V_1 の立ち上がり時において、 MOS トランジスタ Tr_1 のゲート電極に印加される電圧 V_g がソース電圧 V_s よりも高くなる。

【0050】このとき、 MOS トランジスタ Tr_1 のチャネルコンダクタンス g は、ゲート電極に印加される電圧 V_g が、ソース電圧 V_s よりも高い期間 (即ち、第1の駆動パルス V_1 の立ち上がり時間) において高くなり、寄生的に付加される配線抵抗が等価的に小さくなるかたちとなる。その結果、第1の転送電極 G_1 の対接地容量 C_{i1} との CR 時定数が小さくなり、実効的に駆動パルスの立ち上がり速度の低下を抑えることが可能となる。このことは、他の駆動パルス、即ち入力端子 ϕ_2 及び ϕ_3 から入力され、それぞれ第2及び第3の可変コンダクタンス回路7b及び7cを通して第2及び第3の転送電極 G_2 及び G_3 に印加される第2及び第3の駆動

パルス V_2 及び V_3 においても同様である。

【0051】なお、この変形例においても、上記実施例と同様に、駆動パルスの立ち下がり時においては、ゲート電極に印加される電圧 V_g がソースに印加される電圧 V_s よりも低くなることから、転送電極の対接地容量との CR 時定数が大きくなり、実効的に駆動パルスの立ち下がり速度は低下する。

【0052】このように、上記変形例に係る電荷転送装置においては、各転送電極 G_1 、 G_2 及び G_3 の前段に駆動パルス V_1 、 V_2 及び V_3 の立ち上がりとし、かつそれぞれ抵抗 (R_1 、 R_2 及び R_3) と MOS トランジスタ (Tr_1 、 Tr_2 及び Tr_3) にて構成される第1、第2及び第3の可変コンダクタンス回路 (7a、7b及び7c) を接続するようにしたので、駆動パルス V_1 、 V_2 及び V_3 の立ち上がり速度を低下させることなく、立ち下がり速度のみが下がることになる。

【0053】このことから、上記実施例と同様に、チャネル領域2内を転送する信号電荷の最大転送電荷量 (ハンドリングチャージ) の低下を抑えたままで信号電荷の残りを減少させることができ、これにより、転送効率の向上を図ることができ、しかも立ち上がり速度の低下が少ないため、高転送効率を維持しつつ転送速度の高速化を達成させることができる。

【0054】なお、上記実施例及びその変形例に係る可変コンダクタンス回路 (7a、7b及び7c) を、実際に CCD を用いた各種電子機器に実装する場合は、例えば電子機器内に CCD チップとは別に組み込まれ、かつ駆動パルスの生成を行って CCD チップに供給する回路、即ち CCD 駆動回路内に組み込んでもよいし、その他、 CCD チップ内にオンチップ形成して組み込んでもよいし、上記 CCD 駆動回路と CCD チップの間にディスプレイ部品にて構成して実装するようにしてもよい。

【0055】

【発明の効果】本発明に係る電荷転送装置によれば、基体に形成された電荷転送領域上に、所定枚数の転送電極を1組とする転送段が多段に配列され、各転送段の各転送電極にそれぞれ位相の異なる駆動パルスを印加することにより、上記電荷転送領域内の信号電荷を出力部側に順次転送する電荷転送装置において、上記各転送電極の前段に上記駆動パルスの立ち上がりとし、かつ立ち下がりコンダクタンスを可変とする可変コンダクタンス回路を接続するようにしたので、駆動パルスの立ち上がり速度の低下を抑制することができ、最大取扱電荷量の低下を抑えつつ、電荷転送の転送効率の改善及び高速転送駆動を達成させることができる。

【図面の簡単な説明】

【図1】本発明に係る電荷転送装置を3相クロック駆動方式の埋め込みチャネル型 CCD による電荷転送装置に

適用した実施例（以下、単に実施例に係る電荷転送装置と記す）を示す概略構成図である。

【図2】本実施例に係る電荷転送装置を概略的に示す断面図である。

【図3】本実施例に係る電荷転送装置に接続された可変コンダクタンス回路の信号処理動を示すタイミングチャートである。

【図4】本実施例に係る電荷転送装置の変形例を示す概略構成図である。

【図5】従来例に係る電荷転送装置を概略的に示す断面図である。

【図6】従来例に係る電荷転送装置において、ゲート絶縁膜の厚みの違いにより生じるポテンシャルディップの発生原理を説明図である。

【図7】従来例に係る電荷転送装置を示す等価回路図である。

【図8】従来例に係る電荷転送装置の各転送電極に印加される駆動パルスを出力タイミングを示すタイミングチャートである。

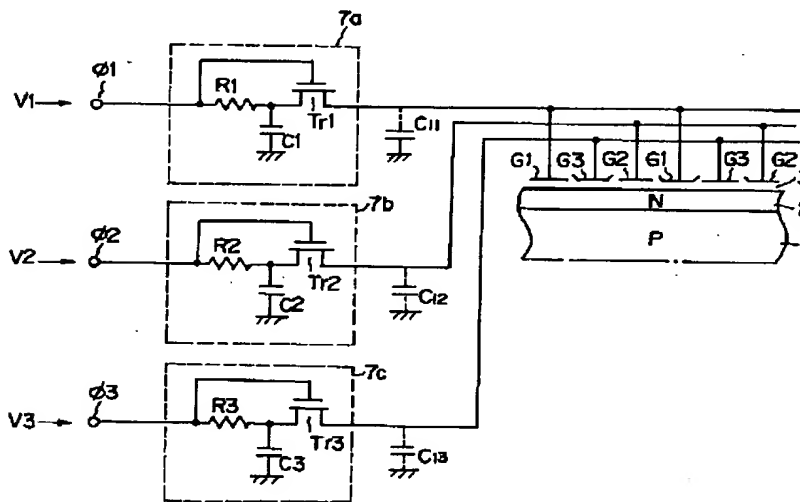
【図9】従来例に係る電荷転送装置での信号電荷の転送動作を示す動作概念図である。

【図10】従来例に係る電荷転送装置において、各駆動パルスのCR時定数の増加に伴う伝搬遅延によって発生する実効振幅の低減現象を示すタイミングチャートである。

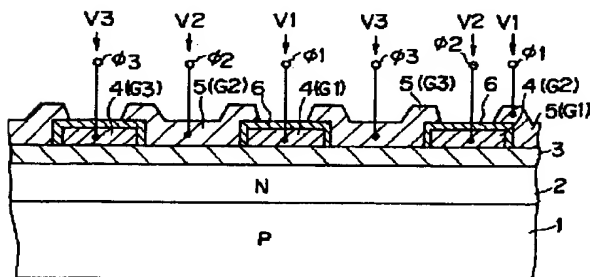
【符号の説明】

- 1 シリコン基板
- 2 チャネル領域
- 3 ゲート絶縁膜
- 4 1層目の多結晶シリコン層による一方の転送電極
- 5 2層目の多結晶シリコン層による他方の転送電極
- 6 熱酸化膜
- 7 a, 7 b及び7 c 第1, 第2及び第3の可変コンダクタンス回路
- G1, G2及びG3 第1, 第2及び第3の転送電極
- C1, C2及びC3 コンデンサ
- R1, R2及びR3 抵抗
- V1, V2及びV3 第1, 第2及び第3の駆動パルス

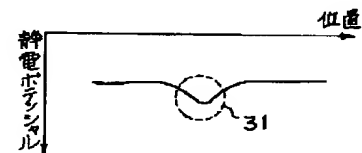
【図1】



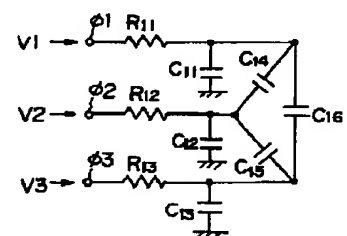
【図2】



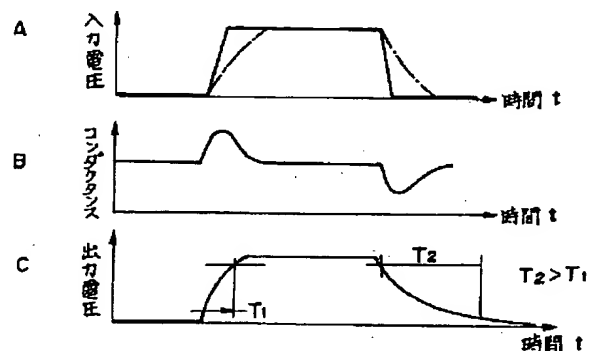
【図6】



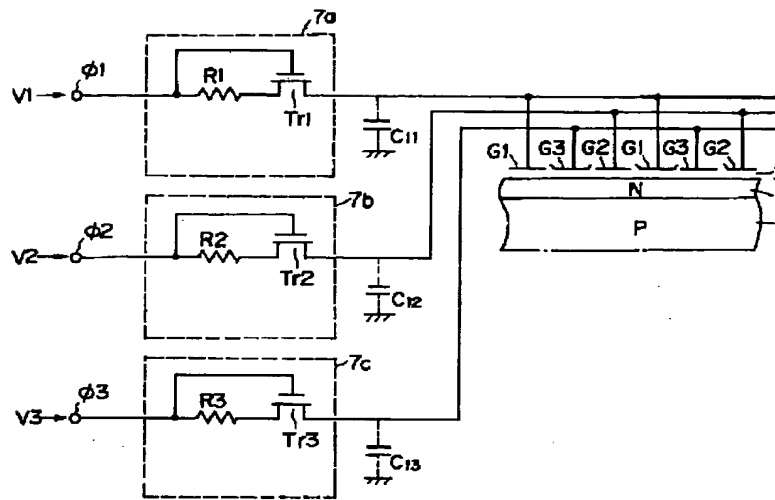
【図7】



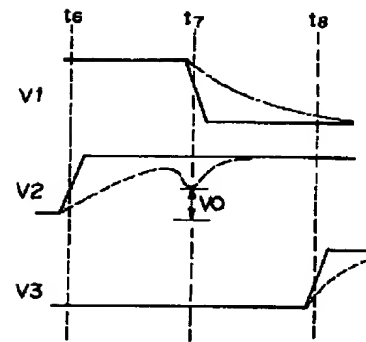
【図3】



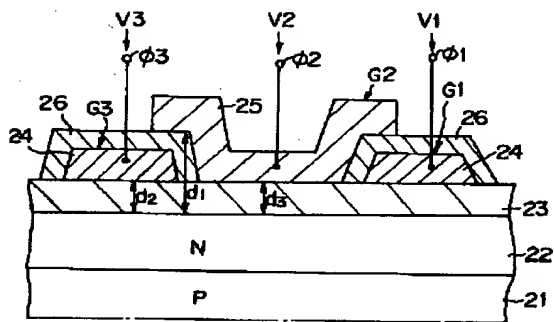
【図 4】



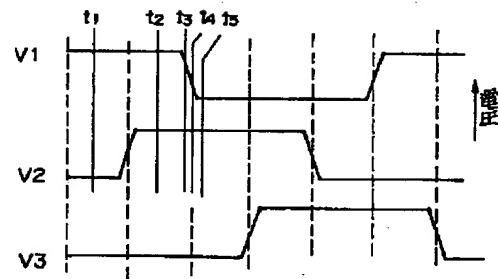
【図 10】



【図 5】



【図 8】



【図 9】

